

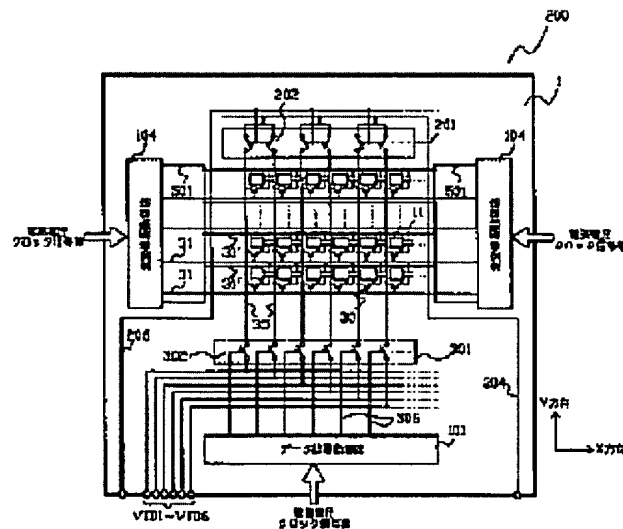
DRIVING CIRCUIT FOR ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL DEVICE AND ELECTRONIC EQUIPMENT

Patent number: JP11202293
Publication date: 1999-07-30
Inventor: MURADE MASAO
Applicant: SEIKO EPSON CORP
Classification:
- international: G02F1/133; G02F1/136; G09G3/36
- european:
Application number: JP19980015145 19980109
Priority number(s): JP19980015145 19980109

Report a data error here

Abstract of JP11202293

PROBLEM TO BE SOLVED: To provide a driving device or the like for liquid crystal panel which can undersize a liquid crystal panel by using an area on a substrate forming a precharge circuit and pixel electrodes or the like. **SOLUTION:** This driving circuit is provided with a precharge circuit 201 provided for every data line 35 inside the liquid crystal panel so as to respectively supply precharge signals to respective data lines 35 before supplying image signals to these data lines 35. Concerning this precharge circuit 201, respective precharge signal lines 204 are arranged so as to supply precharge signals from one precharge signal line 204 to thin film transistors 202 for precharge corresponding to mutually adjacent two data lines 35.



Data supplied from the esp@cenet database - Worldwide

(51)Int.Cl. ⁸	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
1/136	5 0 0	1/136 5 0 0
G 0 9 G 3/36		G 0 9 G 3/36

審査請求 未請求 請求項の数7 F D (全 22 頁)

(21)出願番号 特願平10-15145

(22)出願日 平成10年(1998) 1月9日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

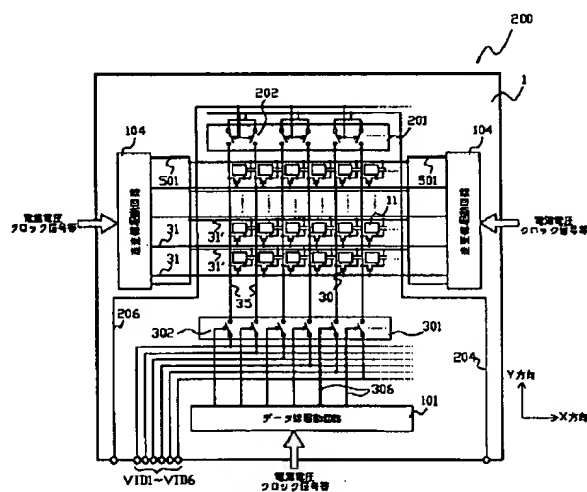
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 電気光学装置の駆動回路、電気光学装置及び電子機器

(57)【要約】

【課題】 プリチャージ回路及び画素電極等が形成される基板上的領域を有効に使用して液晶パネルを小型化することが可能な液晶パネルの駆動装置等を提供する。

【解決手段】 液晶パネル内のデータ線(35)毎に設けられ、当該データ線(35)への画像信号の供給に先立って、各データ線(35)に対してプリチャージ信号を各々供給するプリチャージ回路(201)において、相隣接する二つのデータ線(35)に対応する二つのプリチャージ用のTFT(202)に対して一のプリチャージ信号線(204)からプリチャージ信号を供給するように、各々のプリチャージ信号線(204)を配置する。



【特許請求の範囲】

【請求項1】 画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記複数のデータ線及び前記複数の走査線に接続された第1スイッチング手段と、各第1スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、プリチャージ信号を供給するプリチャージ信号線と前記複数のデータ線との間に複数の第2スイッチング手段を有し、前記第2スイッチング手段の導通により前記データ線に前記プリチャージ信号を各々供給するプリチャージ回路を備え、相隣接する2本の前記データ線に対応する2つの前記第2スイッチング手段は前記プリチャージ信号線から延設された共通の供給線に接続されてなることを特徴とする電気光学装置の駆動回路。

【請求項2】 前記第2スイッチング手段を駆動するために、プリチャージ回路駆動信号を供給するプリチャージ回路駆動信号線から延設された駆動線を更に備え、前記駆動線は前記データ線毎に各々対応する複数の前記第2スイッチング手段に対して、前記プリチャージ回路駆動信号線から前記プリチャージ回路駆動信号を供給するように、各々の前記駆動線が配置されていることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項3】 前記第2スイッチング手段は、薄膜トランジスタであると共に、前記プリチャージ信号線から延設された供給線が、相隣接する2本の前記データ線に対応する各々の該薄膜トランジスタのソース電極に共通に電気的に接続されていることを特徴とする請求項1又は2に記載の電気光学装置の駆動回路。

【請求項4】 前記第2スイッチング手段を構成する前記薄膜トランジスタの半導体層は、当該薄膜トランジスタの複数の互って、電気的に分離されることなく共通に同一膜で形成されていることを特徴とする請求項1及至請求項3のいずれか一項に記載の電気光学装置の駆動回路。

【請求項5】 前記第2スイッチング手段は、少なくともPチャネル型トランジスタ、Nチャネル型トランジスタ又は相補型トランジスタのうちいずれかで構成されていることを特徴とする請求項1及至請求項4のいずれか一項に記載の電気光学装置の駆動回路。

【請求項6】 請求項1乃至請求項5のいずれか一項に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

【請求項7】 請求項6に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ（以下、TFTと称す。）駆動等によるアクティブマトリクス駆動方式の液晶パネル等の電気光学装置の駆動回

路、該駆動回路を備えた電気光学装置、該駆動回路が基板上に設けられた電気光学装置、または当該電気光学装置を用いた電子機器の技術分野に属し、特に、プリチャージ回路を備えた駆動回路、電気光学装置、及び電子機器の技術分野に属する。

【0002】

【従来の技術】 従来、TFT駆動によるアクティブマトリクス駆動方式の液晶パネルにおいては、縦横に各々配列された多数の走査線及びデータ線と、走査線及びデータ線の各交点に対応する多数の画素電極がTFTアレイ基板上に設けられている。そして、これらに加えて、走査線駆動回路、データ線駆動回路、サンプリング回路などのTFTを構成要素とする各種の周辺回路が、このようなTFTアレイ基板上に設けられる場合がある。

【0003】 これらの周辺回路のうち、サンプリング回路は、高周波数の画像信号を各データ線に所定のタイミングで安定的に走査信号と同期して供給するために、画像信号をサンプリングする回路である。

【0004】 また、プリチャージ回路は、コントラスト比の向上、データ線の電位レベルの安定、表示画面上のラインむらの低減等を目的として、データ線に対し、前記サンプリング回路により画像信号がサンプリングされるタイミングに先行するタイミングで、プリチャージ信号（画像補助信号）を供給することにより、画像信号をデータ線に書き込む際の負荷を軽減する回路である。特に液晶を交流駆動するために通常行われるデータ線の電圧位相を1水平走査期間毎に反転して駆動する所謂1H反転駆動方式においては、1水平有効表示期間前の1水平掃線期間において、画像信号の位相が切り換わってから後に、所定電位のプリチャージ信号をデータ線に予め書き込んでおけば、画像信号をデータ線に書き込む際に必要な電荷量を顕著に少なくできる。

【0005】 ここで、TFTアレイ基板上にマトリクス状に配置された複数の画素により規定される画面表示領域、即ち液晶パネル上で実際に液晶の配向状態の変化により画像が表示される領域において、前記複数の画素に各々設けられる画素スイッチング用TFTを制御するために、該画面表示領域の周囲に設けられる周辺回路を形成するための領域は基本的要請として大きい程よいとされている。

【0006】 ここで、従来における前記プリチャージ回路に着目する。図16に従来のプリチャージ回路のレイアウト平面図を示す。当該プリチャージ回路を構成する各スイッチング素子としてのTFT202は、各々のデータ線35毎に設ける必要があり、該TFT202のドレイン電極はデータ線35と電気的に接続され、該TFTのソース電極はプリチャージ信号を供給するプリチャージ信号線204から延設された供給線と各々が電気的に接続された構成とされていた。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来のプリチャージ回路の構成によると、プリチャージ回路を構成する各スイッチング素子としてのTFTは、TFTアレイ基板上の所定の範囲の領域を占有することとなるため、プリチャージ回路の集積化、及び当該プリチャージ回路を含む液晶パネルの小型化が困難であるという問題点があった。

【0008】すなわち、前記プリチャージ回路を構成するスイッチング素子としてのTFTはデータ線毎に構成する必要があり、各々のTFT毎にソース領域、ゲート領域、ドレイン領域を形成すると、必然的に該TFTを形成するために必要な領域が広くなり、結果として該TFTにより構成されるプリチャージ回路の集積化が図れない。これにより、前記プリチャージ回路を含む液晶パネルにおいてそれ自体を小型化することができないのである。また、更なる解像度の向上を図るために液晶パネルの高精細化や、或いは、マザー基板からの取れ個数を増加することで歩留まりを向上したり、持ち運び自由なモバイル用途に使用するために液晶パネル自体の小型化を望む声が多くなっている。このように、液晶パネルの高精細化、或いは小型化が進むと、画素サイズの微細化が必然となり、それに伴い同一基板上に形成された周辺回路の集積化を図る必要がある。

【0009】そこで、本発明は、前記の問題点に鑑みてなされたもので、その課題は、前記プリチャージ回路をTFTアレイ基板上に効率的に配置して、液晶パネルを小型化することが可能な液晶パネルの駆動装置及び当該液晶パネルを備えた液晶装置並びに当該液晶装置を備えた電子機器を提供することにある。

【0010】

【課題を解決するための手段】前記の課題を解決するために、請求項1に記載の電気光学装置の駆動回路は、画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記複数のデータ線及び前記複数の走査線に接続された第1スイッチング手段と、各第1スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、プリチャージ信号を各々供給するプリチャージ信号線と前記複数のデータ線との間に複数の第2スイッチング手段を有し、前記第2スイッチング手段の導通により前記データ線に前記プリチャージ信号を各々供給するプリチャージ回路を備え、相隣接する2本の前記データ線に対応する2つの前記第2スイッチング手段は前記プリチャージ信号線から延設された共通の供給線に接続されてなることを特徴とする。

【0011】請求項1に記載の電気光学装置の駆動回路によれば、プリチャージ信号線から延設された複数の供給線によって、プリチャージ回路へ所定電圧レベルのプリチャージ信号が供給される。そして、各データ線毎に設けられた複数の第2スイッチング手段は、1水平走査期間における1水平帰線期間毎に画像信号のデータ線へ

の供給に先立って、供給されたプリチャージ信号を各データ線に対して各々供給する。このとき、相隣接する2本のデータ線に対応する2つの第2スイッチング手段に対して同時に前記供給線からプリチャージ信号を供給するように、供給線を共通に配置するようにする。これにより、相隣接する2つのデータ線に対応する第2スイッチング手段で前記供給線を共通に使用するので、各第2スイッチング手段毎に供給線を設ける場合に比して供給線の本数を減少させることができると共に、各第2スイッチング手段を繰り返しアレイ状に配列する際の間隔（配列ピッチ）を短縮することができるため、形成領域を効率的に使用することができる。これにより、前記プリチャージ回路の集積化が図れ、電気光学装置の小型化を実現することができる。

【0012】請求項2に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1に記載の電気光学装置の駆動回路において、前記第2スイッチング手段を駆動するために、プリチャージ回路駆動信号を供給するプリチャージ回路駆動信号線から延設された駆動線を更に備え、前記駆動線は前記データ線毎に各々対応する複数の前記第2スイッチング手段に対して、前記プリチャージ回路駆動信号線から前記プリチャージ回路駆動信号を供給するように、各々の前記駆動線が配置されていることを特徴とする。

【0013】請求項2に記載の電気光学装置の駆動回路によれば、前記第2スイッチング手段を駆動するためのプリチャージ回路駆動信号線から延設された駆動線によって、プリチャージ回路駆動信号が供給される。この際、各データ線毎に設けられる前記第2スイッチング手段を駆動するためのプリチャージ回路駆動信号を供給する前記駆動線を、複数の該第2スイッチング手段に対して共通に設けるようにする。このような構成を採れば、1本の前記駆動線で複数の該第2スイッチング手段を同時に駆動できるため、該第2スイッチング手段毎に該駆動線を設ける必要がないため、形成領域を効率的に使用することができる。これにより、前記プリチャージ回路の集積化が図れ、電気光学装置の小型化を実現することができる。

【0014】請求項3に記載の液晶パネルの駆動装置は、前記課題を解決するために、請求項1又は2に記載の電気光学装置の駆動回路において、前記第2スイッチング手段は、薄膜トランジスタであると共に、前記プリチャージ信号線から延設された供給線が、相隣接する2本の前記データ線に対応する各々の該薄膜トランジスタのソース電極に共通に電気的に接続されていることを特徴とする。

【0015】請求項3に記載の電気光学装置の駆動回路によれば、前記プリチャージ回路の第2スイッチング手段は、TFTから構成されている。しかも、相隣接する2本の前記データ線がドレイン電極に電気的に接続され

た各々の前記TFTは、プリチャージ信号が供給される供給線を共通で用いることができるため、当該供給線に電気的に接続される相隣接する二つの該TFTのソース電極を共用することが可能となる。このような構成を採れば、相隣接する二つの前記TFTにおいて、ソース電極を形成する占有面積を削減できるため、形成領域を効率的に使用することができる。これにより、前記プリチャージ回路の集積化が図れ、液晶パネルの小型化を実現することができる。

【0016】請求項4に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1乃至請求項3のいずれか一項に記載の電気光学装置の駆動回路において、前記第2スイッチング手段を構成する前記薄膜トランジスタの半導体層は、当該薄膜トランジスタの複数に亘って、電気的に分離されることなく共通に同一膜で形成されていることを特徴とする。

【0017】請求項4に記載の電気光学装置の駆動回路によれば、前記プリチャージ回路の第2スイッチング手段を構成するTFTは、その半導体層をデータ線に各々接続された複数のTFTに亘って、電気的に分離せずに共通で設けるようにする。このような構成を採れば、各々のデータ線に接続される前記プリチャージ回路の第2スイッチング手段としてのTFTの半導体層を、該TFT毎に各々分離する必要がないため、半導体層を分離する際の間隔を設ける必要がなくなる。従って、その間隔分だけプリチャージ回路を形成する占有面積を削減することが可能となり、形成領域を効率的に使用することができる。これにより、前記プリチャージ回路の集積化が図れ、電気光学装置の小型化を実現することができる。

【0018】請求項5に記載の電気光学装置の駆動回路は、前記課題を解決するために、請求項1乃至請求項4のいずれか一項に記載の電気光学装置の駆動回路において、前記第2スイッチング手段は、少なくともPチャネル型トランジスタ、Nチャネル型トランジスタ又は相補型トランジスタのうちいずれかで構成されていることを特徴とする。

【0019】請求項5に記載の電気光学装置の駆動回路によれば、第2スイッチング手段をPチャネル型TFT、或いはNチャネル型TFTといった片チャネル型TFTで構成することにより、占有面積の少ない領域に効率的に配置することができる。これにより、前記プリチャージ回路の集積化が図れ、電気光学装置の小型化を実現することができる。また、前記第2スイッチング手段をPチャネル型TFT及びNチャネル型TFTから成る相補型TFTで形成することができる。このように、相補型TFTで構成すれば、片チャネル型TFTに比して占有面積が少し大きくなるが、プリチャージ回路の第2スイッチング手段の配列ピッチは片チャネル型TFTの場合と同一に形成できるので、特に問題とはならない。また、プリチャージ回路の第2スイッチング手段を相補

型TFTで構成するようにすれば、データ線の電位揺れを防止することが可能となり、高品位な画質の電気光学装置が実現できる。

【0020】請求項6に記載の電気光学装置は、前記課題を解決するために、請求項1乃至請求項5のいずれか一項に記載の電気光学装置の駆動回路を備えたことを特徴とする。

【0021】請求項6に記載の電気光学装置によれば、請求項1乃至請求項5のいずれか一項に記載の電気光学装置の駆動回路を備えているので、各第2スイッチング手段毎に供給線を設ける場合に比して供給線の数を減少させることができると共に、各第2スイッチング手段の配列ピッチを短縮して形成領域を効率的に使用することができるので、プリチャージ回路を小面積化して電気光学装置自体を小型化できる。

【0022】請求項7に記載の電子機器は、前記課題を解決するために、請求項6の電気光学装置を備えたことを特徴とする。

【0023】請求項7に記載の電子機器によれば、電子機器は上述した本願発明の電気光学装置を備えており、該電気光学装置の小型化が可能なので、電子機器の小型化を実現することができる。

【0024】本発明のこのような作用及び他の利得は、次に説明する実施の形態から明らかにする。

【0025】

【発明の実施の形態】以下に、本発明に好適な実施の形態について、図面に基づいて説明する。

【0026】（液晶パネルの構成と駆動）先ず、電気光学装置の一例として、液晶装置の全体構成について、図1から図2を参照して説明する。図1は、液晶装置の実施の形態におけるTFTアレイ基板上に設けられた各種配線、周辺回路等の構成を示すブロック図であり、図2は、プリチャージ回路を含めた液晶パネルの1水平走査期間のタイミングチャートである。

【0027】図1において、液晶装置200は、例えば石英基板、ハードガラス等からなるTFTアレイ基板1を備えている。TFTアレイ基板1上には、マトリクス状に設けられた複数の画素電極11と、X方向に複数配列されており各々がY方向に沿って伸びるデータ線35と、Y方向に複数配列されており各々がX方向に沿って伸びる走査線31と、各データ線35と画素電極11との間に各々介在すると共に該間における導通状態及び非導通状態を、走査線31を介して各々供給される走査信号に応じて各々制御するスイッチング素子の一例としての複数のTFT30とが形成されている。またTFTアレイ基板1上には、蓄積容量のための配線である容量線31'を走査線31に沿ってほぼ平行に配設しても良いし、前段の走査線下を利用して蓄積容量を形成しても良い。なお、本実施形態においては、容量線31'は定電位線501を介して走査線駆動回路104の正電源或い

は負電源等に接続されている。このように、TFTアレ
イ基板1上の周辺回路の電源等の定電位線を利用す
れば、容量線31'に定電位を供給するための引き回し配
線及び該配線に接続された実装端子102を設ける必要
がないため、実装端子数の削減が図れ、液晶装置200
の小型化が実現できる。

【0028】TFTアレイ基板1上には更に、複数のデ
ータ線35に所定電圧レベルのプリチャージ信号を画像
信号に先行して各々供給するプリチャージ回路201
と、画像信号をサンプリングして複数のデータ線35に
各々供給するサンプリング回路301と、データ線駆動
回路101と、走査線駆動回路104とが形成されてい
る。図1においては走査線駆動回路104は走査線の両
端に配置されているが、走査線の信号遅延等が問題にな
らない場合は、どちらか一方のみに形成してもよいこと
は言うまでもない。また、データ線駆動回路101を画
面表示領域の辺に沿って両側に配列してもよい。例えば
奇数列のデータ線は画面表示領域の一方の辺に沿って配
設されたデータ線駆動回路から画像信号を供給し、偶数
列のデータ線は前記画面表示領域の反対側の辺に沿って
配設されたデータ線駆動回路から画像信号を供給するよ
うにしてもよい。この様にデータ線35を櫛歯状に駆動
するようにすれば、データ線駆動回路の占有面積を拡張
することができるため、複雑な回路を構成することが可
能となる。なお、上述した櫛歯状に駆動する方法は、走
査線駆動回路104に適用できることは言うまでもない。

【0029】走査線駆動回路104は、外部制御回路か
ら供給される電源、基準クロック等に基づいて、所定タ
イミングで走査線31に走査信号をパルス的に線順次で
印加する。

【0030】データ線駆動回路101は、外部制御回路
から供給される電源、基準クロック等に基づいて、走査
線駆動回路104が走査信号を印加するタイミングに合
わせて、画像入力信号線VID（例えば図1に示すよう
に、6つの画像入力信号線VID1～VID6）につい
て、データ線35毎にサンプリング回路駆動信号をサン
プリング回路301にサンプリング回路駆動信号線30
6を介して供給する。

【0031】プリチャージ回路201は、TFT202
を各データ線35毎に備えており、プリチャージ信号線
204がTFT202のソース電極に接続されており、
プリチャージ回路駆動信号線206がTFT202のゲ
ート電極に接続されている。そして、プリチャージ信号
線204を介して、外部電源からプリチャージ信号を書
き込むために必要な所定電圧の電源が供給され、プリ
チャージ回路駆動信号線206を介して、各データ線35
について画像信号に先行するタイミングでプリチャージ
信号を書き込むように、外部制御回路からプリチャージ
回路駆動信号が供給される。プリチャージ回路201

は、好ましくは中間階調レベルの画素データに相当する
プリチャージ信号（画像補助信号）を供給する。

【0032】サンプリング回路301は、TFT302
を各データ線35毎に備えており、画像入力信号線VID
1～VID6がTFT302のソース電極に接続されて
おり、サンプリング回路駆動信号線306がTFT3
02のゲート電極に接続されている。そして、画像入力
信号線VID1～VID6を介して、6つの平行な
画像信号が入力されると、これらの画像信号をサンプリ
ングする。また、サンプリング回路駆動信号線306を
介して、データ線駆動回路101からサンプリング回路
駆動信号が入力されると、6本の画像入力信号線VID
1～VID6各々についてサンプリングされた画像信号
の印加をデータ線35毎に順次に行う。即ち、データ線
駆動回路101とサンプリング回路301とは、6相展
開されて画像入力信号線VID1～VID6から入力さ
れた6つの平行な画像信号を、データ線35に供給
するように構成されている。

【0033】なお、以上説明した実施の形態では、外部
制御回路により例えば6相展開された6つの画像信号V
ID1～VID6が画像入力信号線を介してサンプリ
ング回路301のスイッチング手段であるTFT302の
ソース電極に供給され、該TFT302のゲート電極に
順次にサンプリング回路駆動信号を印加するように構成
されているため、データ線35毎に相展開された画像信
号が順次印加される構成となっている。また他の駆動方
法として、例えば隣接する6つのTFT302のゲート
電極に対して同時にサンプリング回路駆動信号を印加
し、複数のデータ線35をグループ毎に順次選択するよ
うにしてもよい。この場合、外部制御回路により例えば
6相展開された6つの画像信号VID1～VID6の位
相タイミングを合わせ、TFT302を介してデータ線
35に供給するようにしても、同様の表示を行えること
ができる。また、画像信号の相展開数は6に限られな
い。例えば、当該サンプリング回路301を構成するT
FT302におけるサンプリング能力が高ければ、相展
開数は6以下でも構わないし、サンプリング能力が低け
れば、相展開数は6以上でもよい。画像信号の相展開数
が少ない方が外部制御回路に係るコストを低減できる。
また、少なくとも画像信号の相展開数分だけ、画像入力
信号線が必要であることは言うまでもない。更に、画像
信号の相展開数を3、6、12、18、24、…といっ
た3の倍数に設定すれば、画像入力信号線が3の倍数で
形成できるため、ビデオ表示の際に有利である。これ
は、カラー画像信号が3つの色（赤、緑、青）に係る信
号からなることとの関係から、3の倍数であると、NT
SC表示やPAL表示等のビデオ表示をする際に制御や
回路を簡易化する上で好ましいからである。

【0034】ここで、図2を参照して、プリチャージ回
路201によるプリチャージについて更に説明を加え

る。

【0035】図2に示すように、データ線駆動回路101が有するシフトレジスタには、一画素当りの選択時間 t_1 （ドット周波数）を規定するクロック信号CLXが水平走査の基準として入力されるが、転送スタート信号DXが入力されると、このシフトレジスタから転送信号X1、X2、…が順次供給される。ここで図1に示した本実施の形態の回路構成では、データ線毎に順次サンプリング回路301を駆動するので、クロック信号CLXの半周期の期間がドット周波数と同じになる。また、例えば隣接する6本のデータ線に接続されるサンプリング回路301を同時に駆動するようにすれば、クロック信号CLXの半周期の期間はドット周波数 t_1 の6倍となる。各水平走査期間において、このような転送スタート信号DXの入力に先行するタイミングで、プリチャージ回路駆動信号NRGが供給される。より具体的には、垂直走査の基準とされるクロック信号CLYがハイレベルとなると共に画像信号VIDが信号の電圧中心値VID中心を基準として極性反転した後、この極性反転からプリチャージをするまでのマージンである時間 t_3 経過後に、プリチャージ回路駆動信号NRGは、ハイレベルとされる。他方、プリチャージ信号NRSは、画像信号VIDの反転に対応して、水平帰線期間で画像信号VIDと同極性の所定レベルとされる。従って、プリチャージ回路駆動信号NRGがハイレベルとされる時間 t_2 において、プリチャージが行われる。そして、水平帰線期間が終了して有効表示期間が始まる時点よりも時間 t_4 だけ前に、即ち、プリチャージが終了してから画像信号が書き込まれるまでのマージンを時間 t_4 として、プリチャージ回路駆動信号NRGは、ローレベルとされる。以上のように、プリチャージ回路201は、各水平帰線期間において、プリチャージ信号NRSを画像信号に先行して複数のデータ線35に供給する。

【0036】次に、プリチャージ回路201及びサンプリング回路301を構成するTFT202及び302の具体的な回路構成について図3及び図4を参照して各々説明する。なお、図3は、プリチャージ回路201のTFT202を構成する各種のTFTを示す回路図であり、図4は、サンプリング回路301のTFT302を構成する各種のTFTを示す回路図である。

【0037】図3（1）に示すようにプリチャージ回路201のTFT202（図1参照）は、Nチャンネル型TFT202Aから構成されてもよいし、図3（2）に示すようにPチャンネル型TFT202Bから構成されてもよいし、図3（3）に示すようにNチャンネル型TFT及びPチャンネル型TFTから成る相補型TFT202Cから構成されてもよい。なお、図3（1）から図3（3）において、図1に示したプリチャージ回路駆動信号線206を介して入力されるプリチャージ回路駆動信号206A、206Bは、ゲート電圧として各TFT202A

～202Cに入力される。同じく図1に示したプリチャージ信号線204を介して入力されるプリチャージ信号NRSは、ソース電圧として各TFT202A～202Cに入力される。Nチャンネル型TFT202Aにゲート電圧として印加されるプリチャージ回路駆動信号206Aと、Pチャンネル型TFT202Bにゲート電圧として印加されるプリチャージ回路駆動信号206Bとは、相互に反転信号である。従って、プリチャージ回路201を相補型TFT202Cで構成する場合には、プリチャージ回路駆動信号線206が少なくとも2本以上必要となる。或いは、例えば、TFT202Cの手前でプリチャージ回路駆動信号206Aをインバータにより反転させて、プリチャージ回路駆動信号206Bを形成してもよい。

【0038】図4（1）に示すようにサンプリング回路301のTFT302（図1参照）は、Nチャンネル型のTFT302Aから構成されてもよいし、図4（2）に示すようにPチャンネル型のTFT302Bから構成されてもよいし、図4（3）に示すように相補型TFT302Cから構成されてもよい。なお、図4（1）から図4（3）において、図1に示した画像入力信号線304を介して入力される画像信号VIDは、ソース電圧として各TFT302A～302Cに入力される。同じく図1に示したデータ線駆動回路101からサンプリング回路駆動信号線306を介して入力されるサンプリング回路駆動信号306A、306Bは、ゲート電圧として各TFT302A～302Cに入力される。また、サンプリング回路301においても、前述のプリチャージ回路201の場合と同様に、Nチャンネル型のTFT302Aにゲート電圧として印加されるサンプリング回路駆動信号306Aと、Pチャンネル型のTFT302Bにゲート電圧として印加されるサンプリング回路駆動信号306Bとは、相互に反転信号である。従って、サンプリング回路301を相補型TFT302Cで構成する場合には、サンプリング回路駆動信号306A、306B用のサンプリング回路駆動信号線306が少なくとも2本以上必要となる。

【0039】（第1実施形態）前記の構成を有する液晶装置において、第1実施形態のプリチャージ回路201の構成について図5（1）を用いて説明する。なお、図5は、プリチャージ回路201のスイッチング手段であるTFTがNチャンネル型TFT又はPチャンネル型TFTのいずれか一方により形成されている場合を示している。

【0040】図5（1）に示すように、第1実施形態のプリチャージ回路201においては、隣接する奇数列のデータ線35aに対応するスイッチング手段としてのTFT202aのソース電極と、偶数列のデータ線35bに対応するスイッチング手段としてのTFT202bのソース電極が、プリチャージ信号線204から延設され

た供給線204aをコンタクトホール38aを介して共に電氣的に接続されている。

【0041】すなわち、図5(a)に示すTF T 202aはプリチャージ信号線204から延設された供給線204aをソース電極線とし、プリチャージ回路駆動信号線206から延設された駆動線206aをゲート電極線とし、ドレイン電極においてデータ線35aとコンタクトホール38bを介して電氣的に接続されている。

【0042】また、TF T 202bはプリチャージ信号線204から延設された供給線204aをTF T 202aと共通のソース電極線とし、プリチャージ回路駆動信号線206から延設された駆動線204aをゲート電極線とし、ドレイン電極においてデータ線35bとコンタクトホール38bを介して電氣的に接続されている。

【0043】図16に示すように、従来のプリチャージ回路201は、スイッチング手段としての各々のTF T 202毎にプリチャージ信号線204から延設された供給線204aを設けていたために、アレイ状に配列されたデータ線35の配列ピッチLを短縮することができなかった。しかし、本実施の形態のプリチャージ回路201の構成を採れば、図5(a)に示すように奇数列のデータ線35aに対応するTF T 202aと偶数列のデータ線に対応するTF T 202bへのプリチャージ信号線204から延設された供給線204aが共用できるため、アレイ状に配列された奇数列のデータ線35aと偶数列のデータ線35bの配列ピッチLは従来よりも短縮できる。従って、各々のデータ線にアレイ状に接続配置される画素の配列ピッチ(画素ピッチ)を短縮することができるのである。例えば、配線及び間隔等の設計ルールを2 μ mで設計したとすると、図16に示す従来の形態では、配列ピッチLを20 μ m以下で形成することができなかったが、図5(a)に示す本実施の形態によれば、配列ピッチLを15 μ m程度で形成することができる。これは、設計ルールが2 μ mでも画素ピッチが15 μ m程度で形成できることを意味しており、歩留まりの低下を招くことなく、プリチャージ回路を備えることで画質品位の高い超小型液晶パネルが実現できる。

【0044】更に、プリチャージ回路駆動信号線206からコンタクトホール38cを介して電氣的に接続された走査線と同一工程で形成されるポリシリコン膜から成る駆動線206aは、複数のTF T 202a及び202bのゲート電極として形成してもよい。すなわち、隣接する複数のTF T 202a及び202bのゲート電極となる駆動線222を共通化するのである。このような構成を採れば、プリチャージ回路駆動信号線206と駆動線206aとの電氣的な接続を採るためのコンタクトホール38cの数を少なくすることができ、他の配線の引き回しに余裕を持たせることができる。また、複数の駆動線206aをプリチャージ回路駆動信号線206とTF T 202a及び202b間で格子状に形成すること

で、冗長構造とすることもできる。

【0045】また、奇数列のデータ線35aに電氣的に接続されるTF T 202a及び偶数列のデータ線35bに電氣的に接続される202bの半導体層62を図16に示す従来例のように互いに分離することなく、同一の島状パターンで共用するように形成するとよい。このような構成を採れば、隣合うTF T 202a及び202bの半導体層間の間隔を設ける必要がないため、配列ピッチLを更に短縮することができるのである。なお、更に複数のTF T 202a及び202bの半導体層62を分離することなく、同一の島状パターンで形成することもできる。

【0046】図5(b)は図5(a)のA-A'に沿った断面図である。また、図6(a)は、液晶装置200が含むTF Tアレイ基板1上の周辺回路と画面表示領域を構成する隣接する画素群の平面図であり、図6(b)は図6(a)のB-B'に沿った断面図である。ここで、図5及び図6を用いて第1実施形態のプリチャージ回路201と画素スイッチング用のTF T 30の構造について更に説明する。なお、図5(b)及び図6(b)において、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめている。

【0047】先ず、図6に示す画面表示領域を構成する画素について説明する。ここで、図6(a)に示すように、画素電極11は、TF Tアレイ基板1上にマトリクス状に配列され、各画素電極11に隣接してTF T 30が設けられており、また画素電極11の縦横の境界に各々沿ってデータ線35(ソース電極)及び走査線31

(ゲート電極)が設けられている。また、本実施例では画素電極11を制御する画素スイッチング用のTF T 30は、各画素電極11に対して1個しか設けられていないが、TF T 30のソース・ドレイン間、すなわちコンタクトホール38からコンタクトホール39の間でゲート電極31を2個直列に配設し、デュアルゲート構造としても良いし、3個以上直列に配設しても良い。このように、TF T 30にゲート電極を多段設けることにより、抵抗成分が大きくなり、TF T 30がオフ時のリーク電流を低減できる利点がある。なお、図6(b)は、説明の都合上、画素電極11のマトリクス状配列等を簡略化して示すためのものであり、実際の各電極は層間絶縁層の間や上をコンタクトホール等を介して配線されており、図6(b)から分かるように3次的により複雑な構成を有している。

【0048】図6(b)の断面図において、液晶パネル10は、各画素に設けられるTF T 30部分において、TF Tアレイ基板1並びにその上に積層された第1層間絶縁層41、半導体層32、ゲート絶縁層33、走査線31(ゲート電極)、第2層間絶縁層42、データ線35(ソース電極)、第3層間絶縁層43、画素電極11

を備えている。

【0049】TFT30の下地となるTFTアレイ基板1は、ガラスや石英等により形成される絶縁基板であり、このTFTアレイ基板1上に、第1層間絶縁層41を介して、走査線31からの電界によりチャンネルが形成される半導体層32が設けられる。

【0050】半導体層32は、例えば、下地としてのTFTアレイ基板1上にa-Si（アモルファスシリコン）膜を形成後、アニール処理を施して約500～2000Åの厚さに固相成長させることにより形成する。その後、ゲート絶縁膜33を熱酸化等で形成し、ゲート絶縁膜33の上にゲート電極31を形成する。そしてNチャンネル型TFTを形成する場合には、半導体層32のソース・ドレイン領域となる部分に選択的にSb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントを用いたイオン注入等によりドーピングを行って、ソース領域及びドレイン領域を形成する。また、Pチャンネル型TFTを形成する場合には、半導体層32のソース・ドレイン領域となる部分に選択的にAl（アルミニウム）、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素のドーパントを用いたイオン注入等によりドーピングを行ってソース領域及びドレイン領域を形成する。そして、これらのドーピングは、ゲート電極31をマスクとして行われるため、ドーピングが行われなかった領域がチャンネル領域32aとして形成される。特にTFT30をLDD（Lightly Doped Drain）構造を持つNチャンネル型TFTとする場合、ソース領域及びドレイン領域のうちチャンネル領域32a側に各々隣接する一部にPなどのV族元素のドーパントにより低濃度ソース領域32b及び低濃度ドレイン領域32cを形成し、同じくPなどのV族元素のドーパントにより高濃度ソース領域32d及び高濃度ドレイン領域32eを形成する。また、Pチャンネル型TFTとする場合、ソース・ドレイン領域のうちチャンネル領域32aの側に各々隣接する一部に、BなどのIII族元素のドーパントを用いて低濃度ソース領域32b及び高濃度ソース領域32dと、低濃度ドレイン領域32c及び高濃度ドレイン領域32eを形成する。なお、Nチャンネル型TFTは、動作速度が速いという利点があり、画素スイッチング用のTFT30として用いられることが多い。

【0051】また、このようにLDD構造とした場合、ショートチャンネル効果を低減できる利点が得られる。なお、TFT30は、低濃度ソース・ドレイン領域32b、32cに不純物のイオンを打ち込まないオフセット構造のTFTとしてもよいし、ゲート電極31をマスクとして高濃度不純物イオンを打ち込み自己整合的に高濃度ソース・ドレイン領域32a、32eを形成するセルフアライン型のTFTとしてもよい。

【0052】ゲート絶縁層33は、半導体層32を約900～1300℃の温度により熱酸化することにより、

300～1500Å程度の比較的薄い厚さの熱酸化膜を形成して得る。

【0053】また、第1層間絶縁層41、第2層間絶縁層42及び第3層間絶縁層43は各々、5000～15000Å程度の厚みを持つNSG、PSG（ P_2O_5 を含む SiO_2 ）、BSG（ B_2O_3 を含む SiO_2 ）、BPSG（ P_2O_5 と B_2O_3 を含む SiO_2 ）などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる。なお、第3層間絶縁層43の上に更に平坦化膜をスピコート等で塗布してもよく、又はCMP処理を施してもよい。また、第3層間絶縁層43の表面を平坦にするように処理してもよいことは言うまでもない。このように、画素電極11を形成する表面を平坦化することで、ラビング時の配向不良により生じる液晶のディスクリネーションの発生領域を極力低減することができる。

【0054】第2層間絶縁層42には、高濃度ソース領域32dへ通じるコンタクトホール38が形成され、第2層間絶縁層42及び第3層間絶縁層43には、高濃度ドレイン領域32eへ通じるコンタクトホール39が各々形成されている。この高濃度ソース領域32dへのコンタクトホール38を介して、データ線35（ソース電極）は高濃度ソース領域32dに電気的接続される。また、高濃度ドレイン領域32eへのコンタクトホール39を介して、画素電極11が高濃度ドレイン領域32eに電気的接続される。各コンタクトホールは、例えば、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成すれば、寸法精度よく開孔できる。また、ドライエッチングにウエットエッチングを組み合わせれば、コンタクトホール部の側壁をテーパ状に形成することができるため、コンタクトホール部の段差により、配線が断線することがない。なお、コンタクトホール部の側壁をテーパ状にするのに、ドライエッチングによりレジストを後退させても形成できる。

【0055】一般に、チャンネルが形成される半導体層32を形成するポリシリコン膜等は、光が入射するとポリシリコン膜が有する光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が劣化するが、本実施の形態では、図6（b）に示すように対向基板2に各TFT30に各々対向する位置にCr膜から成るブラックマトリクス等の遮光層23が形成されているので、入射光が半導体層32に直接入射することが防止される。更にこれに加えて又は代えて、ゲート電極を上側から覆うようにデータ線35（ソース電極）をAl等の不透明な金属薄膜から形成すれば、遮光層23と共に又は単独で、半導体層32への入射光（即ち、図19

（b）で上側からの光）の入射を効果的に防ぐことができる。なお、工程増を招くが、半導体層32の少なくともチャンネル領域及び、該チャンネル領域とソース・ドレインの接合部に重なるように、その下層に酸化シリコン膜や窒化シリコン膜等の第1層間絶縁層41を介して、W

(タングステン) やMo (モリブデン) 等の高融点金属或いは金属シリサイド膜等の金属合金膜等により遮光膜44を設けることにより、TFTアレイ基板裏面からの戻り光を遮断してもよい。このような構成を採れば、強い光を入射しても、光によるTFT30のトランジスタ特性の劣化を招くことがないため、光を入射する光源を明るくすることができる。すなわち、例えばマイクロレンズ等の光利用効率を向上させるための手段を用いる必要が無いので、明るい液晶パネルを低コストで提供することができる。なお、前記遮光膜44は周辺回路の電源等と接続することにより、定電位を供給することで、画素スイッチング用TFT30のトランジスタ特性の劣化を防止してもよい。なお、遮光膜44を形成しない場合、第1層間絶縁層41を下地膜として用いずに工程を省略してもよい。

【0056】走査線31 (ゲート電極) は、減圧CVD法等によりポリシリコン膜を堆積した後、フォトリソグラフィ工程やエッチング工程等により形成される。或いは、W (タングステン) やMo (モリブデン) 等の金属膜又は金属シリサイド膜等の合金膜から形成されてもよい。このような構成を採れば、走査線31の低抵抗化が図れるため、走査信号の遅延による表示品位の劣化を防止できる。また、走査線31自体の線幅を細めることが可能となり、液晶パネルが小型化しても画素開口部 (光透過部) への影響を少なくできる。更に、走査線31が遮光膜として代用できるため、対向基板2上の遮光層23を省くことができる。これにより、TFTアレイ基板1と対向基板2との貼り合わせ時における精度を無視することができるので、透過率がばらつかない液晶パネルを提供することができる。

【0057】データ線35 (ソース電極) は、スパッタリング処理等により、約1000~5000Åの厚さに堆積されたAl等の低抵抗金属や金属シリサイド等の合金膜をフォトリソグラフィ工程、エッチング工程等を施すことにより形成する。なお、上述したブリチャージ信号線204やブリチャージ回路駆動信号線206をデータ線35と同一膜で形成すると、低抵抗で信号遅延が生じにくいため、各種配線材料として使用される。

【0058】画素電極11は例えば、ITO膜 (Indium Tin Oxide膜) などの透明導電性薄膜からなり、上述した第2層間絶縁層42の上面に設けられている。この画素電極11は、スパッタリング処理等によりITO膜等を約500~2000Åの厚さに堆積した後、フォトリソグラフィ工程、エッチング工程等を施すことにより形成される。なお、当該液晶パネル10を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極11を形成してもよい。

【0059】一方、上述したブリチャージ回路201を制御するスイッチング手段としてのTFT202a及び202bは、図5 (b) に示すような断面構造をしてい

る。このように、前記TFT202a及び202bと、図6 (a) に示した画素スイッチング用のTFT30との違いは、TFT30のドレイン電極としての画素電極11にITO等を用い、TFT202a及び202bのドレイン電極にアルミニウム等の低抵抗金属を用いる点のみであり、画素領域におけるTFT30の形成時とほぼ同一な薄膜形成工程で形成できる。

【0060】具体的には、まず、TFTアレイ基板1上にTFT202a及び202bの半導体層62が分離されずに連続して形成され、当該半導体層62には、チャネル領域62a、低濃度ソース領域62b、高濃度ソース領域62d、低濃度ドレイン領域62c、及び高濃度ドレイン領域62eが形成される。この際、TFT202a及び202bの高濃度ソース領域62dが共通領域として形成される。また、半導体層62上にはゲート絶縁層63が形成され、当該ゲート絶縁層63上にはゲート電極として駆動線206aが形成される。そして、第2層間絶縁層42に形成されたコンタクトホール38aを介してブリチャージ信号線204から延設された供給線204aと高濃度ソース領域62dが電氣的に接続される。従って、隣り合うブリチャージ回路201のスイッチング手段としてのTFT202a及び202bは供給線204aを共用化することができるため、ブリチャージ回路の占有面積を集積化できるのである。また、TFT202aにおける高濃度ドレイン領域62eでは、コンタクトホール38bを介して奇数列のデータ線35aと電氣的に接続され、TFT202bにおける高濃度ドレイン領域62eでは、コンタクトホール38bを介して偶数列のデータ線35bと電氣的に接続され。更に、データ線35a、35b及び供給線204aを覆うように、第3層間絶縁層43が形成される。

【0061】そして、半導体層62は上述した画素スイッチング用TFT30の半導体層32に、チャネル領域62aはTFT30のチャネル領域32aに、低濃度ソース領域62bはTFT30の低濃度ソース領域32bに、高濃度ソース領域62dはTFT30の高濃度ソース領域32dに、低濃度ドレイン領域62cはTFT30の低濃度ドレイン領域32cに、及び高濃度ドレイン領域62eはTFT30の高濃度ドレイン領域32eに各々対応しており同一の工程により形成される。なお、画素スイッチング用TFT30をNチャネル型TFTで形成する場合、周辺回路をPチャネル型TFT及びNチャネル型TFTから成る相補型TFTで構成されるので、Pチャネル型TFTを形成するために、III族元素のドーパントを用いたイオン注入等によりドーピング工程を追加する。これにより、相補型TFTを形成することができる。

【0062】更には、ゲート絶縁層63はTFT30のゲート絶縁層33に対応し、駆動線 (ゲート電極) 206aはTFT30のゲート電極31に対応しており同一

の工程により形成される。

【0063】また、データ線35a、35b及び供給線204aは、TFT30のソース電極35に対応し、同一の工程により形成される。即ち、低抵抗なAl等の金属膜、或いは金属シリサイド等の金属合金膜から形成される。プリチャージ信号線204やプリチャージ回路駆動信号線206も配線の時定数を低減するため、TFT30のソース電極35と同一の工程で形成される。なお、供給線204aはAl等の低抵抗金属膜のみで形成する場合もあるが、他の信号配線を重畳するためにポリシリコン膜等の中継配線を用いることもある。

【0064】本実施形態では、プリチャージ回路を構成するTFT202a及び202bも画素スイッチング用TFT30と同様にLDD構造で形成したが、上述したオフセット構造のTFTでも良いし、セルフアライン型のTFTでも良い。なお、セルフアライン型のTFTで形成すれば、高い移動度が得られるため、高速な駆動回路が実現できる。

【0065】また、画面表示領域を構成する画素スイッチング用TFT30と同様に半導体層62の下層に酸化シリコン膜や窒化シリコン膜等の第1層間絶縁膜41を介して遮光膜44を形成してもよい。このような構成を採れば、TFTアレイ基板1裏面からの戻り光により、TFT202a及び202bがリーク電流を発生することを防止できるため、表示品位の劣化を招くことがない。なお、前記遮光膜は周辺回路の電源等と接続することにより、定電位を供給することで、画素スイッチング用TFTのトランジスタ特性の劣化を防止してもよい。

【0066】ところで、後述するその他の実施形態のプリチャージ回路やデータ線駆動回路、走査線駆動回路等を含む周辺回路を構成するPチャネル型TFT及びNチャネル型TFTに関しても、画素スイッチング用TFT30とほぼ同一の薄膜形成工程で形成することができ、製造上有利である。

【0067】また、図6には示されていないが、対向基板2の投射光が入射する側及びTFTアレイ基板1の投射光が出射する側には各々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブルSTN）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定方向で配置される。

【0068】（第2実施形態）次に、本発明に係る他の実施形態である第2実施形態について、図7を用いて説明する。なお、図7において、図5と同様の部材については、同一の部材番号を付して細部説明は省略する。また、第2実施形態においては、液晶装置200全体の構成は第1実施形態と同様であり、異なるのは、以下に説明するプリチャージ回路の構成のみである。

【0069】上述の第1実施形態においては、図5

（a）に示すように、隣接するデータ線に接続されるTFT202a及び202bを制御するゲート電極は、プリチャージ回路駆動信号線206からコンタクトホール38c部分で電氣的に接続され延設された駆動線206aにより構成していたが、これ以外に、図7に示すプリチャージ回路201'のように、TFT220a及び220bに接続する駆動線202aの形状を工夫することで、更なるプリチャージ回路の集積化が実現できる。更に、プリチャージ信号線204から延設された供給線204aとTFT202a及び202bのソース領域とを電氣的に接続するコンタクトホール38aと、奇数列のデータ線35a及び偶数列のデータ線35bとTFT202a及び202bのソース領域とを電氣的に接続するコンタクトホール38bとを千鳥状に配置すると共に当該コンタクトホール38a及び38bを回避するように「8」の字形に駆動線206aを配置するように構成する。

【0070】このような構成を採れば、隣接する2本のデータ線35について、第1実施形態のプリチャージ回路201に比して、プリチャージ回路駆動信号線1本分の間隔を更に短縮してプリチャージ回路を更に小型化することができる。すなわち、アレイ状に配列された奇数列のデータ線35aと偶数列のデータ線35bの配列ピッチLは第1実施形態よりも更に短縮できる。従って、各々のデータ線35にアレイ状に接続配置される画素の配列ピッチ（画素ピッチ）を更に短縮することができるのである。例えば、配線及び間隔等の設計ルールを2 μ mで設計したとすると、図5に示す第1実施形態では、配列ピッチLを15 μ m程度まで短縮して形成することができたが、図7に示す第2実施形態によれば、配列ピッチLを10 μ m程度まで短縮して形成することができる。これは、設計ルールが2 μ mでも画素ピッチが10 μ m程度まで微細化して形成できることを意味しており、歩留まりの低下を招くことなく、プリチャージ回路を備えることで画質品位の高い超小型液晶パネルが実現できる。

【0071】（第3実施形態）次に、本発明に係る他の実施形態である第3実施形態について、図8を用いて説明する。なお、図8において、図5（a）と同様の部材については、同一の部材番号を付して細部説明は省略する。また、第3実施形態においても、液晶装置200全体の構成は第1実施形態と同様であり、異なるのは、以下に説明するプリチャージ回路の構成のみである。

【0072】図5（a）に示す第1実施形態においては、TFT201としてPチャネル型TFT又はNチャネル型TFTのうち、いずれか一方を使用した構成について説明したが、本発明は、上述のように図3（c）に示す相補型TFTに対しても適用可能である。

【0073】すなわち、図8に示すように、Pチャネル型TFT310と、当該Pチャネル型TFTと相補的に

配置されたNチャンネル型TFT311と、Pチャンネル型TFT310に対してプリチャージ回路駆動信号を供給するプリチャージ回路駆動信号線206Pから延設された駆動線206pと、Nチャンネル型TFT311に対してプリチャージ回路駆動信号を供給するプリチャージ回路駆動信号線206Nから延設された駆動線206nと、を含む相補型TFTのプリチャージ回路201' 'において、隣接する奇数列のデータ線35a及び偶数列のデータ線35bに接続される各々のTFT間でプリチャージ信号線204から延設された供給線204aを共通的に使用するように構成することができる。このような構成を採れば、プリチャージ回路201' 'のスイッチング手段としてのTFTをアレイ状に配列した場合の配列ピッチLを、図5で示したプリチャージ回路201のPチャンネル型TFT或いはNチャンネル型TFTといった片チャンネル型TFTから形成される場合の配列ピッチLと同一に形成できる。従って、相補型TFTをスイッチング手段として用いたプリチャージ回路201' 'において、第1実施形態のプリチャージ回路201と同様に、表示品位を低下させることなく、液晶パネルの小型化が実現できる。更に相補型TFTを用いれば、サンプリング回路301のTFT302の寄生容量が原因で生じる画像信号の電位揺れを防止することができる。

【0074】なお、第3実施形態のプリチャージ回路201' 'において、Pチャンネル型TFT310を制御する前記プリチャージ回路駆動信号線206Pと、Nチャンネル型TFT311を制御するプリチャージ回路駆動信号線206Nの間では、相互に信号の極性を反転させた波形を有するプリチャージ回路駆動信号が対応するTFTに対して各々供給される。また、第3実施形態ではデータ線35a及び35bに近接している方にNチャンネル型TFT311を設けたが、Pチャンネル型TFT310であっても構わない。この際、プリチャージ回路駆動信号線206Pと206Nが入れ替わることは言うまでもない。

【0075】また更に、第3実施形態のプリチャージ回路201' 'においては、データ線35a又は35bと前記プリチャージ回路駆動信号線206Nとの短絡を防止するため、当該プリチャージ回路駆動信号線206Nとは異なる層に形成されている中継配線320を介して画面表示領域までデータ線35a又は35bを形成する必要がある。

【0076】（第4実施形態）次に、本発明に係る他の実施形態である第4実施形態について、図9及び図10を用いて説明する。なお、図9において、図5(a)と同様の部材については、同一の部材番号を付して細部説明は省略する。また、第4実施形態においても、液晶装置200全体の構成は第1実施形態と同様であり、異なるのは、以下に説明するプリチャージ回路の構成のみである。

【0077】上述の第3実施形態においては、相補型TFTのプリチャージ回路201' 'において、Pチャンネル型TFT310に対してプリチャージ回路駆動信号を供給するプリチャージ回路駆動信号線206Pと、Nチャンネル型TFT311に対してプリチャージ回路駆動信号を供給するプリチャージ回路駆動信号線206Nとを別に設けた構成としたが、これ以外に、プリチャージ回路駆動信号を外部から印加するときは1本のプリチャージ回路駆動信号線206Nで印加し、例えば、印加された駆動信号をそのままNチャンネル型TFT311に対して供給すると共に、これを位相反転させてからPチャンネル型TFT310に対して供給するように構成することもできる。

【0078】すなわち、図9に示すように、第4実施形態のプリチャージ回路201' 'では、プリチャージ回路駆動信号線206Nから供給されるプリチャージ回路駆動信号の位相を反転する位相反転回路212を形成し、これにより位相反転されたプリチャージ回路駆動信号を駆動線206pを介してPチャンネル型TFT231に供給すると共に、当該プリチャージ回路駆動信号206Nを位相反転せずに、駆動線206nを介して、そのままNチャンネル型TFT311に供給している。

【0079】ここで、位相反転回路212は、プリチャージ回路駆動信号線206Nから延設された駆動線毎に、Pチャンネル型TFT310と、Nチャンネル型TFT311と、位相反転回路212に対して正電源を供給する正電源線410と、負電源を供給する負電源線420とを含むインバータ回路を構成している。

【0080】また、第4実施形態では、プリチャージ回路201' '中では、図9において上段側にPチャンネル型TFT310とNチャンネル型TFT311が交互に配置されていると共に、図9において下段側に当該上段側と逆の順序でPチャンネル型TFT310とNチャンネル型TFT311が交互に配置されている。そして、データ線35に着目すると、奇数列のデータ線35aには上段側（位相反転回路212に近い側）がNチャンネル型TFT311で下段側はPチャンネル型TFT310が相補的に接続されており、偶数列のデータ線35bには上段側がPチャンネル型TFT310で下段側はNチャンネル型TFT311が相補的に接続されている構成をしている。なお、この順序は逆であってもよいことは言うまでもない。

【0081】そして、隣接するデータ線35a及び35bに対応する各々の相補型TFTのソース電極に電氣的に接続されるプリチャージ信号線204からの供給線204aを共通に使用するように構成される。

【0082】このような構成を採れば、第4実施形態における相補型TFTのプリチャージ回路201' 'において、第1から第3実施形態のプリチャージ回路と同様な効果を得ることができると共に、外部からプリチャ

ージ回路駆動信号を供給するための実装端子と当該実装端子から延設されるプリチャージ回路駆動信号線が各々一つで構成できるので、相補型TFTをスイッチング手段としたプリチャージ回路を備える液晶装置を小型化することができ、かつ実装端子の削減が可能となる。実装端子が削減できれば、液晶装置を駆動させるための外部情報処理回路からの入力信号を削減できるため、当該外部情報処理回路の負荷を軽減することができる。なお、前記位相反転回路212については、図9に示す配置及び回路構成の他に、種々の配置及び回路構成を採ることができる。

【0083】すなわち、図9に示す場合では、図10(a)に示すようにプリチャージ回路201' ' 'を形成する各々の相補形TFTに対して各々インバータ等からなる位相反転回路212が接続されていることとなるが、これ以外に、図10(b)に示すようにプリチャージ回路201' ' 'の前にインバータ等からなる位相反転回路212を設け、一括して位相反転した後にプリチャージ回路駆動信号を各々の相補形TFTに共通的に供給するようにしてもよい。このような構成を採れば、各々の相補型TFTに対して位相反転回路212を設ける必要がないので、プリチャージ回路201の占有面積を小さくできる利点がある。

【0084】また、図10(c)に示すように、図10(b)の構成に加えて、位相反転後のプリチャージ回路駆動信号の位相を補正するためにインバータによりプリチャージ回路駆動信号線206と反転のプリチャージ回路駆動信号線をたすき状にした位相補正回路213を介してプリチャージ回路駆動信号を供給してもよい。このような構成を採れば、プリチャージ回路駆動信号と反転のプリチャージ回路駆動信号の位相差を合わせ込むことができるので、確実なプリチャージ動作が行える。

【0085】更に、図10(d)に示すように、図10(a)に示す各相補形TFT毎に位相反転回路212を設ける構成に加えて、各相補形TFT毎に前記位相補正回路213を設けてもよい。このような構成を採れば、プリチャージ回路駆動信号と反転のプリチャージ回路駆動信号の位相差を合わせ込むことができるので、確実なプリチャージ動作が行える。

【0086】更にまた、図10(e)に示すように、複数の相補形TFT毎に一つずつ位相反転回路212のみ或いは当該位相反転回路212と位相補正回路213をセットで設けてプリチャージ回路駆動信号及びその反転信号を供給するように構成することもできる。このような構成を採れば、プリチャージ回路駆動信号と反転のプリチャージ回路駆動信号の位相差を合わせ込むことができるので、確実なプリチャージ動作が行えるばかりでなく、ブロック毎に位相反転回路212と位相補正回路213を設ければよいので、プリチャージ回路の占有面積を小さくできるので、液晶パネルの小型化が実現でき

る。

【0087】(プリチャージ回路の変形形態)次に、本発明を適用した液晶装置200におけるプリチャージ回路201の種々の回路構成例について、図11乃至図13を用いて説明する。

【0088】始めに、図1に示した液晶装置200と同様に、画像信号(例えばVID1~6)を供給するサンプリング回路301を、画面表示領域を挟んでプリチャージ信号を供給するプリチャージ回路201と反対側のTFTアレイ基板1上に形成した場合である第1の変形形態について、図11を用いて説明する。

【0089】図11に示すように、第1変形形態においては、データ線駆動回路101と、プリチャージ駆動信号線206を介して入力されるプリチャージ回路駆動信号に基づいてプリチャージ回路201を構成するTFT202を各々駆動するプリチャージ専用シフトレジスタ回路401とが、画素電極11等を含む画面表示領域を挟んで対向して配置される。

【0090】そして、プリチャージ回路201においては、相隣接するデータ線35に接続されているTFT202間で、プリチャージ信号線204から延設された供給線221を共有している。

【0091】この第1変形形態の構成によると、プリチャージ専用のシフトレジスタを備えているため、プリチャージ信号をデータ線35に対して順次供給できる。従って、すべてのデータ線に接続されるプリチャージ回路201のスイッチング手段としてのTFT202を一括して駆動することがないため、短時間で十分なプリチャージが行える利点がある。

【0092】次に、図1に示した液晶装置200と異なり、画面表示領域に対してデータ線駆動回路101と同じ側にプリチャージ回路201を形成した場合である第2の変形形態について、図12を用いて説明する。

【0093】図12に示すように、第2変形形態においては、データ線駆動回路101内に、プリチャージ回路駆動信号線206を介して入力されるプリチャージ回路駆動信号に基づいてプリチャージ信号供給用のTFT202を駆動するプリチャージ専用シフトレジスタ回路と画像信号供給用のTFT302を駆動する画像信号用シフトレジスタ回路とを併せて構成し、当該プリチャージ専用シフトレジスタ回路の各々の出力段とTFT202とが駆動線206aで接続されており、さらに当該画像信号用シフトレジスタ回路の各々の出力段とTFT302とがサンプリング回路駆動信号線306で接続されている。

【0094】そして、各々のデータ線35に対応するTFT202とTFT302とが相隣接して形成され、更に相隣接するデータ線35に対応するTFT202も相隣接して形成されている。

【0095】そして、当該相隣接するデータ線35に接

続されているTFT202間で、プリチャージ信号線204からの供給線204aを共有している。

【0096】この第2変形形態の構成によると、プリチャージ回路201とサンプリング回路301とが画面表示領域に対して同じ側に配置されているので、第1変形形態と同様の効果の他に、画像信号用シフトレジスタ回路を駆動するためのクロック信号線をプリチャージ専用シフトレジスタでも共用でき、更に周辺回路の集積化が可能となり、液晶パネルの小型化が実現できる。

【0097】最後に、前記第2変形形態と同様に、サンプリング回路301を画面表示領域に対してプリチャージ回路201と同じ側に形成した他の場合である第3変形形態について、図13を用いて説明する。

【0098】図13に示すように、第3変形形態においては、データ線駆動回路101内には画像信号供給用のTFT302を駆動する画像信号用シフトレジスタ回路のみを有し、前記プリチャージ専用シフトレジスタ回路は用いていない。

【0099】そして、プリチャージ回路駆動信号線206から延設された駆動線206aは直接TFT202に接続されており、画像信号用シフトレジスタ回路とTFT302とがサンプリング回路駆動信号線306で接続されている。各々のデータ線35に対応するTFT202とTFT302とが相隣接して形成され、更に相隣接するデータ線35に対応するTFT202も相隣接して形成されている。

【0100】そして、当該相隣接するデータ線35に接続されているTFT202間で、プリチャージ信号線204から延設された供給線204aを互いに共有している。

【0101】この第3変形形態のように構成しても、プリチャージ回路201とサンプリング回路301とが画面表示領域に対して同じ側に配置されているので、基板1上の回路を更に集積化することができるばかりでなく、図示していないがデータ線35のプリチャージ回路201及びサンプリング回路301の接続されている側とは反対側において、データ線の短絡や開放を検査するための検査回路を設けることが容易になる利点がある。

【0102】なお、第1から第3変形形態の回路構成は、本願発明の第1から第4実施形態の全てにおいて適用可能であることは言うまでもない。

【0103】(液晶パネルの構成) 上述した実施の形態及び変形例に記載されたTFT基板と対向基板とを貼り合わせた液晶パネルの構成例について説明する。本実施の形態では特に、プリチャージ回路201及びサンプリング回路301は、図14及び図15に示すように、対向基板2に形成された遮光性の周辺見切り53に対向する位置においてTFTアレイ基板1上に設けるような構成を採っている。これは、従来まではデッドスペースで

あった周辺見切り53の領域においてプリチャージ回路201やサンプリング回路301を設けることで、液晶パネルを小型化することが可能になるからである。また、データ線駆動回路101及び走査線駆動回路104は、液晶層50に面しないTFTアレイ基板1の狭く細長い周辺部分上に設けられている。

【0104】これらのプリチャージ回路201、サンプリング回路301、データ線駆動回路101及び走査線駆動回路104等の周辺回路は、主にTFTから構成されており、例えば各TFTのa-Si（アモルファスシリコン）膜やp-Si（ポリシリコン）膜から構成されたチャネル形成用の領域に光が入射すると、この領域において光電変換効果により光電流が発生してしまい当該TFTのトランジスタ特性が劣化する。このため、本実施の形態では、データ線駆動回路101及び走査線駆動回路104が形成されるTFTアレイ基板1の周辺部分は、プラスチック等からなる遮光性のケースの内部に納められ、プリチャージ回路201及びサンプリング回路301は、遮光性の周辺見切り53の下にあるTFTアレイ基板1部分に少なくともその一部が形成されるのである。従って例えば、製造途中や出荷時の液晶装置の品質、欠陥等を検査するための回路であり、やはり主にTFTからなる検査回路を、同様にTFTアレイ基板1の周辺部分や遮光層の下空きスペースに設けることも可能である。その他にも、液晶表示における画質の向上、消費電力の低減、コストの低減等の観点から、TFTを用いた各種の周辺回路を、同様にTFTアレイ基板1の周辺部分や周辺見切り53の下空きスペースに設けることも可能である。また、本実施の形態ではプリチャージ回路201を画面表示領域を挟んでデータ線駆動回路101と反対側に設けているが、第2変形形態及び第3変形形態で説明したように、データ線駆動回路101と同じ側に設けてもよい。更に、本実施の形態では水平帰線期間中に全てのプリチャージ回路201を一括して駆動させるようにしたが、本実施の変形形態で説明したようにデータ線毎或いは隣接する複数のデータ線数本分を同時に時系列で順次シフトさせてプリチャージを行えるように、プリチャージ回路201を駆動させるための専用のシフトレジスタ回路を設けてもよいし、画像信号用のサンプリング回路301を駆動するためのサンプリング回路駆動信号によりプリチャージ回路を駆動してもよい。このような構成を採れば、プリチャージ回路201を駆動するための負荷が軽減でき、十分なプリチャージ効果が得られる。

【0105】図14及び図15において、TFTアレイ基板1の上には、複数の画素電極11により規定される画面表示領域（即ち、実際に液晶層50の配向状態変化により画像が表示される液晶パネルの領域）の周囲において両基板を貼り合わせて液晶層50を包囲するシール部材の一例としての光硬化性樹脂からなるシール材52

が、画面表示領域に沿って設けられている。そして、対向基板2上における画面表示領域とシール材52との間には、遮光性の周辺見切り53が設けられている。

【0106】周辺見切り53は、後に画面表示領域に対応して開口部が設けられた遮光性のケースにTFTアレ基板1が入れられた場合に、当該画面表示領域が製造誤差等により当該ケースの開口の縁に隠れてしまわないように、即ち、例えばTFTアレ基板1のケースに対する数百 μm 程度のずれを許容するように、画面表示領域の周囲に少なくとも500 μm 以上の幅を持つ帯状の遮光性材料から形成されたものである。このような遮光性の周辺見切り53は、例えば、Cr（クロム）やNi（ニッケル）などの金属材料を用いたスパッタリング、フォトリソグラフィ及びエッチングにより対向基板2に形成される。或いは、カーボンやTi（チタン）をフォトレジストに分散した樹脂ブラックなどの材料から形成される。前記遮光性の周辺見切り53を画素スイッチング用TFT等を遮光するための遮光層23と同一膜で一括形成するようにすればよい。

【0107】シール材52の外側の領域には、画面表示領域の下辺に沿ってデータ線駆動回路101及び実装端子102が設けられており、画面表示領域の左右の2辺に沿って走査線駆動回路104が画面表示領域の両側に設けられている。更に画面表示領域の上辺には、複数の配線105が設けられている。また、対向基板2のコーナー部の少なくとも1ヶ所で、TFTアレ基板1と対向基板2との間で電氣的導通をとるための導通材からなる銀点106が設けられている。そして、シール材52とほぼ同じ輪郭を持つ対向基板2が当該シール材52によりTFTアレ基板1に固着されている。

【0108】プリチャージ回路201及びサンプリング回路301は、基本的に交流駆動の回路である。このため、シール材52により包囲され両基板間に挟持された液晶層50に面するTFTアレ基板1部分にこれらのプリチャージ回路201及びサンプリング回路301を設けても、直流電圧印加による液晶層50の劣化という問題は生じない。これに対して、データ線駆動回路101及び走査線駆動回路104は、液晶層50に面することのないTFTアレ基板1の周辺部分に設けられている。従って、液晶層50に、特に直流駆動されるデータ線駆動回路101や走査線駆動回路104からの直流電圧成分が、印加されることを未然に防止できる。ただし、データ線駆動回路101や走査線駆動回路104上にパッシベーション膜を形成して保護すれば、液晶層50中に形成しても問題はない。

【0109】そして、このように周辺見切り53下に、プリチャージ回路201及びサンプリング回路301を設けることで、走査線駆動回路104やデータ線駆動回路101をTFTアレ基板1の周辺部分に余裕を持って形成することができ、特定の仕様に沿うようにこれら

の周辺回路を設計することが容易になる。また、従来はデッドスペースであった周辺見切り53下に、プリチャージ回路201やサンプリング回路301を設けることで、液晶装置200における画面表示領域の面積の減少を招くこともなく、同時に、特に周辺見切り53は遮光性であるので、画面表示領域を介して入射される光に対する遮光をプリチャージ回路201やサンプリング回路301を構成するTFT202及び302に施す必要も無い。加えて、シール材52に面するTFTアレ基板1部分にプリチャージ回路201やサンプリング回路301を形成する訳ではないので、これらの回路を構成するTFT202及び302をシール材52に混入されたスペーサにより破壊する恐れはない。また、両基板のシール材52に対向する位置には、遮光層を設ける必要はないので、シール材52を光硬化させる工程で両基板側から光を十分に照射でき、良好に光硬化を行える。このため、基板の変形等が懸念される熱硬化性樹脂をシール材52として使用しなくて済み有利である。

【0110】（電子機器）次に、以上詳細に説明した液晶装置200を備えた電子機器の実施の形態について図17から図20を参照して説明する。

【0111】先ず図17に、このように液晶装置200を備えた電子機器の概略構成を示す。

【0112】図17において、電子機器は、表示情報出力源1000、上述した外部表示情報処理回路1002、前述の走査線駆動回路104及びデータ線駆動回路101を含む表示駆動回路1004、液晶パネル10、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含んで構成され、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック発生回路1008からのクロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に表示駆動回路1004に出力する。表示駆動回路1004は、走査線駆動回路104及びデータ線駆動回路101によって前述の駆動方法により液晶パネル10を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。なお、液晶パネル10を構成するTFTアレ基板の上に、表示駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0113】このような構成の電子機器として、図18に示す液晶プロジェクタ、図19に示すマルチメディア

対応のパーソナルコンピュータ（ＰＣ）及びエンジニアリング・ワークステーション（ＥＷＳ）、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテーブルコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、ＰＯＳ端末、タッチパネルを備えた装置などを挙げることができる。

【０１１４】次に図１８から図２０に、このように構成された電子機器の具体例を各々示す。図１８において、電子機器の一例たる液晶プロジェクタ１１００は、投射型の液晶プロジェクタであり、光源１１１０と、ダイクロイックミラー１１１３、１１１４と、反射ミラー１１１５、１１１６、１１１７と、入射レンズ１１１８、リレーレンズ１１１９、出射レンズ１１２０と、液晶ライトバルブ１１２２、１１２３、１１２４と、クロスダイクロイックプリズム１１２５と、投射レンズ１１２６とを備えて構成されている。液晶ライトバルブ１１２２、１１２３、１１２４は、上述した駆動回路１００４がＴＦＴアレイ基板上に搭載された液晶パネル１０を含む液晶モジュールを３個用意し、各々液晶ライトバルブとして用いたものである。また、光源１１１０はメタルハライド等のランプ１１１１とランプ１１１１の光を反射するリフレクタ１１１２とからなる。

【０１１５】以上のように構成される液晶プロジェクタ１１００においては、青色光・緑色光反射のダイクロイックミラー１１１３は、光源１１１０からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー１１１７で反射されて、赤色光用液晶ライトバルブ１１２２に入射される。一方、ダイクロイックミラー１１１３で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー１１１４によって反射され、緑色光用液晶ライトバルブ１１２３に入射される。また、青色光は第２のダイクロイックミラー１１１４も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ１１１８、リレーレンズ１１１９、出射レンズ１１２０を含むリレーレンズ系からなる導光手段１１２１が設けられ、これを介して青色光が青色光用液晶ライトバルブ１１２４に入射される。各ライトバルブにより変調された３つの色光はクロスダイクロイックプリズム１１２５に入射する。このプリズムは４つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって３つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ１１２６によってスクリーン１１２７上に投射され、画像が拡大されて表示される。

【０１１６】図１９において、電子機器の他の例たるラップトップ型のパーソナルコンピュータ１２００は、上

述した液晶パネル１０がトップカバーケース内に備えられた液晶ディスプレイ１２０６と、ＣＰＵ、メモリ、モデム等を収容すると共にキーボード１２０２が組み込まれた本体部１２０４とを有する。

【０１１７】また、図２０に示すように、液晶を２枚の透明基板１３０４ａ、１３０４ｂの間に封入し、上述した駆動回路１００４をＴＦＴアレイ基板上に搭載した液晶装置用基板１３０４を備え、当該液晶装置用基板１３０４を構成する２枚の透明基板１３０４ａ、１３０４ｂの一方に、金属の導電膜が形成されたポリイミドテープ１３２２にＩＣチップ１３２４を実装したＴＣＰ（Tape Carrier Package）１３２０を接続して、電子機器用の一部品である液晶装置として生産、販売、使用することもできる。

【０１１８】以上、図１８から図２０を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型またはモニタ直視型のビデオテーブルコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、ＰＯＳ端末、タッチパネルを備えた装置等が図２１に示した電子機器の例として挙げられる。

【０１１９】なお、本発明は前記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネセンス、プラズマディスプレイ装置にも適用可能である。

【０１２０】本実施の形態によれば、小型であり、かつ、十分なプリチャージ機能により画像信号の信号源の負荷を著しく軽減し、安定した画像表示の可能な液晶装置２００を備えた各種の電子機器を実現できる。

【０１２１】

【発明の効果】以上説明したように、本発明によれば、相隣接する２本のデータ線に対応するプリチャージ回路のスイッチング手段で、プリチャージ信号線から延設された供給線を共通的に使用するので、各スイッチング手段毎に供給線を設ける場合に比して供給線の本数を減少させることができると共に、各スイッチング手段の配列ピッチを短縮して形成領域を効率的に使用することができる。

【０１２２】従って、電気光学装置を小型化することができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態におけるＴＦＴアレイ基板上に形成された各種配線、周辺回路等のブロック図である。

【図２】液晶パネルの水平走査期間の駆動を示すタイミング図である。

【図３】ＴＦＴアレイ基板上に設けられたプリチャージ回路を構成するスイッチング手段の等価回路図であり、

(1) はNチャネル型TFTの回路図であり、(2) Pチャネル型TFTの回路図であり、(3) は相補型TFTの回路図である。

【図4】 TFTアレイ基板上に設けられたサンプリング回路を構成するスイッチング手段の等価回路図であり、

(1) はNチャネル型TFTの回路図であり、(2) Pチャネル型TFTの回路図であり、(3) は相補型TFTの回路図である。

【図5】 本発明の第1実施形態におけるプリチャージ回路の構成を示す図であり、(a) はパターン平面図であり、(b) はA-A'に沿った断面図である。

【図6】 TFTアレイ基板上に設けられた画面表示領域を構成する隣接する画素群を示す図であり、(a) はパターン平面図であり、(b) は(a)のB-B'線に沿った断面図である。

【図7】 本発明の第2実施形態のプリチャージ回路の構成を示すパターン平面図である。

【図8】 本発明の第3実施形態のプリチャージ回路の構成を示すパターン平面図である。

【図9】 本発明の第4実施形態のプリチャージ回路の構成を示すパターン平面図である。

【図10】 本発明の第4実施形態における位相反転回路の配置の形態を示す回路図であり、(a) は各相補型TFT毎に位相反転回路を設けた場合の回路図であり、

(b) は位相反転回路を一つだけ備えた構成を示す回路図であり、(c) は位相反転回路と位相補正回路を設けた場合の回路図であり、(d) は各相補型TFT毎に位相反転回路と位相補正回路を設けた場合の回路図であり、(e) は相補型TFTをブロック毎に位相反転回路と位相補正回路を設けた場合の回路図である。

【図11】 本発明の実施形態の第1変形形態に係る液晶装置の構成を示すブロック図である。

【図12】 本発明の実施形態の第2変形形態に係る液晶装置の構成を示すブロック図である。

【図13】 本発明の実施形態の第3変形形態に係る液晶装置の構成を示すブロック図である。

【図14】 図1の液晶装置の全体構成を示す平面図である。

【図15】 図14のH-H'線に沿った断面図である。

【図16】 従来のプリチャージ回路の構成を示すパターン平面図である。

【図17】 電子機器の概要構成を示すブロック図である。

【図18】 電子機器の一例としての液晶プロジェクタの構成を示す断面図である。

【図19】 電子機器の一例としてのパーソナルコンピュータの外観を示す正面図である。

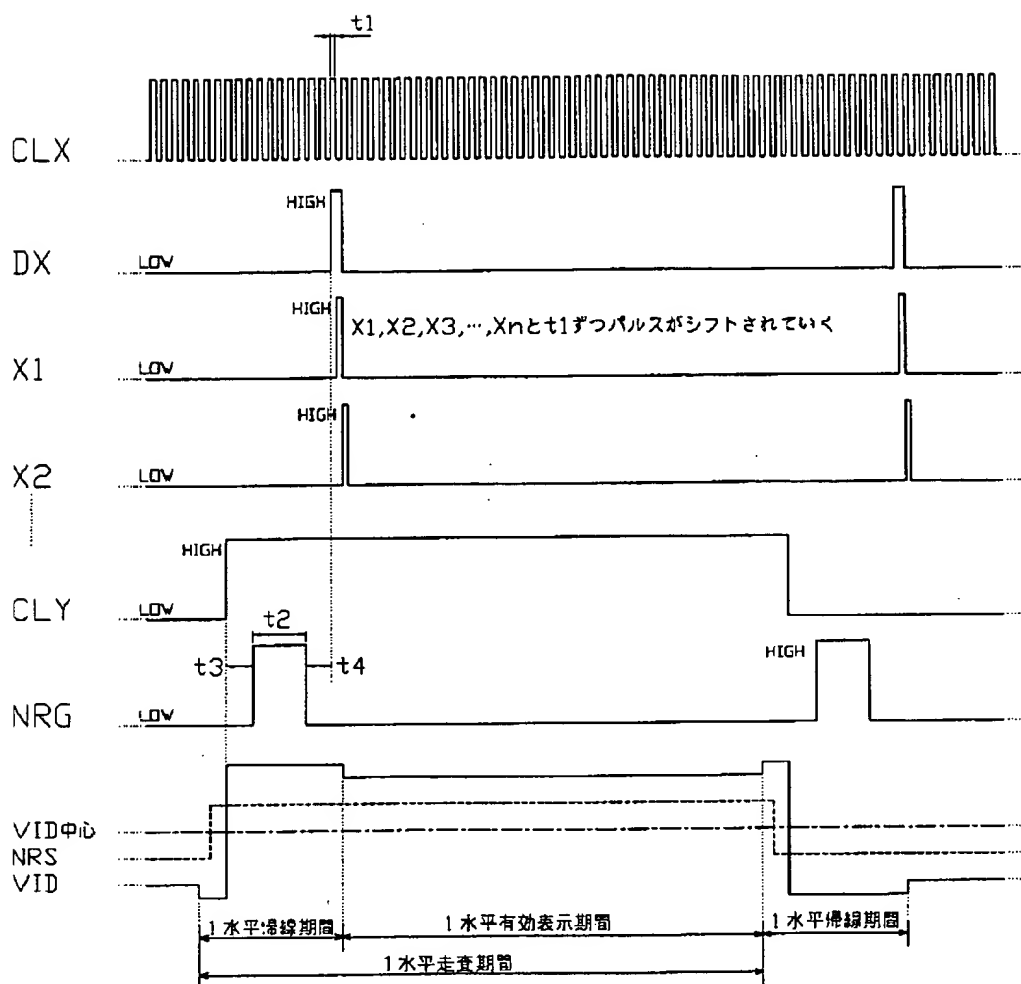
【図20】 電子機器の一例としてのTCPを用いた液晶装置の外観を示す斜視図である。

【符号の説明】

1…TFTアレイ基板
2…対向基板
11…画素電極
12…配向膜
21…共通電極
22…配向膜
30…画素スイッチング用TFT
31…走査線(ゲート電極)
32…半導体層
33…ゲート絶縁層
34…ソース領域
35、35a、35b…データ線(ソース電極)
36…ドレイン領域
38…コンタクトホール
41…第1層間絶縁層
42…第2層間絶縁層
43…第3層間絶縁層
50…液晶層
52…シール材
53…周辺見切り
101…データ線駆動回路
102…実装端子
104…走査線駆動回路
200…液晶装置
201、201'、201''、201'''…プリチャージ回路
204…プリチャージ信号線
204a…供給線
206、206P、206N…プリチャージ回路駆動信号線
206a…駆動線
212…位相反転回路
213…位相補正回路
301…サンプリング回路
310…Pチャネル型TFT
311…Nチャネル型TFT
320…中継配線
401…プリチャージ専用シフトレジスタ
410…正電源線
411…負電源線

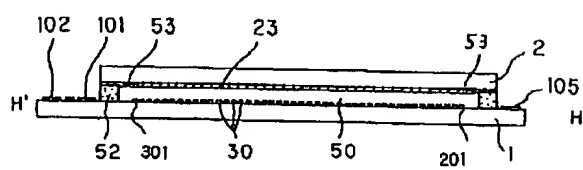
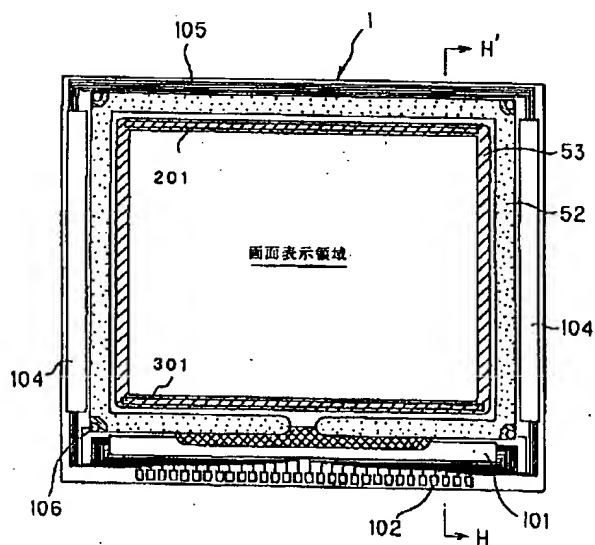


【図2】

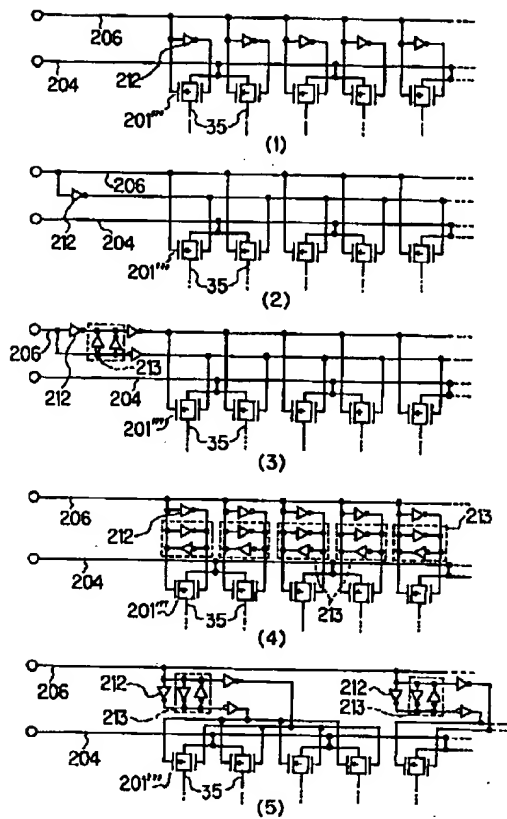


【図14】

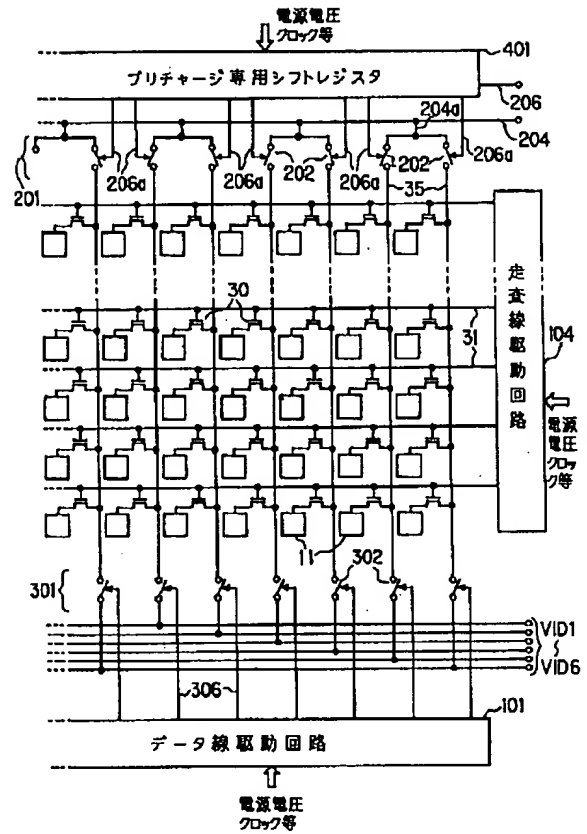
【図15】



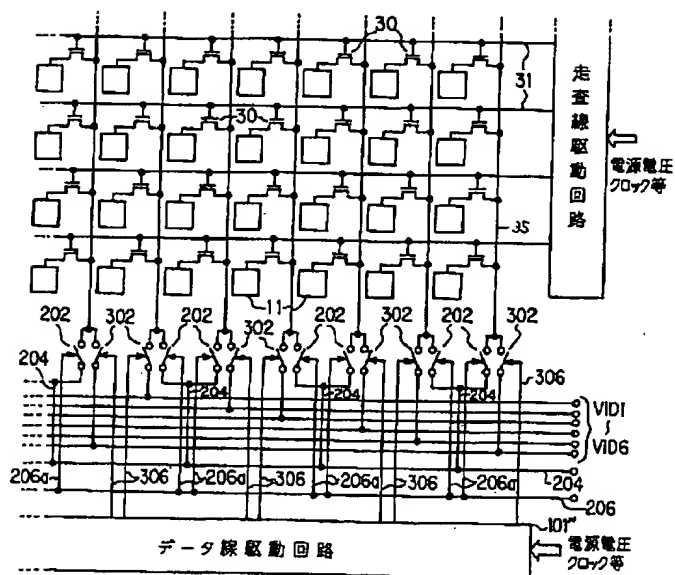
【図10】



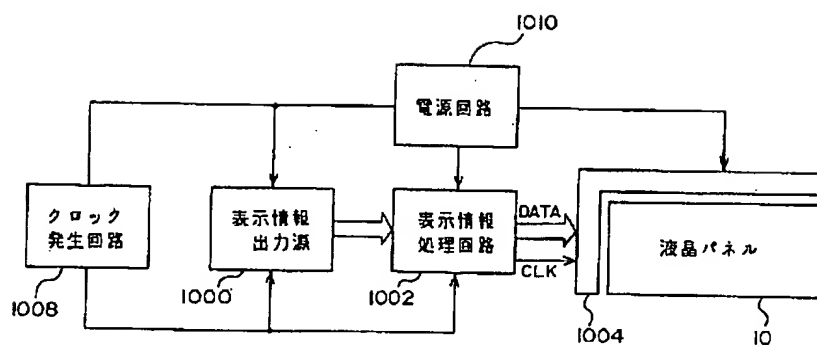
【図11】



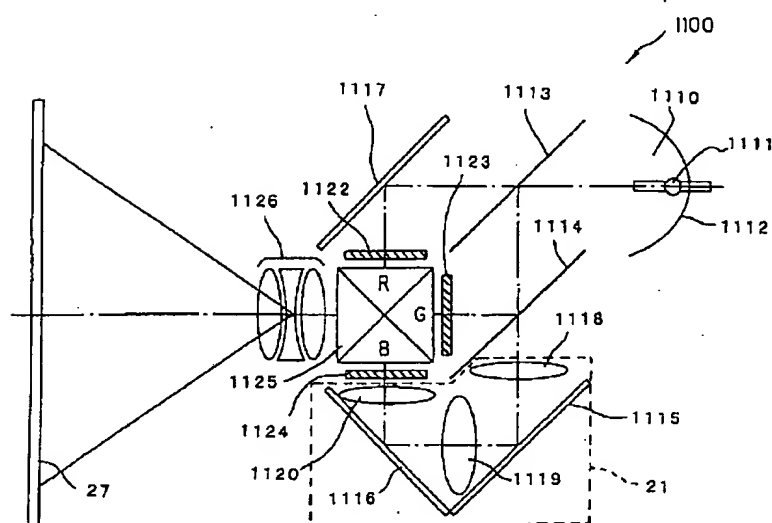
【図13】



【図17】



【図18】



【図20】

